

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-46082

(P2003-46082A)

(43)公開日 平成15年2月14日(2003.2.14)

(51)Int.Cl.⁷
H 01 L 29/78

識別記号
6 5 2

F I
H 01 L 29/78

テマコト[®](参考)
6 5 2 J
6 5 2 R

審査請求 未請求 請求項の数19 O L (全 15 頁)

(21)出願番号 特願2002-140147(P2002-140147)
(22)出願日 平成14年5月15日(2002.5.15)
(31)優先権主張番号 特願2001-157485(P2001-157485)
(32)優先日 平成13年5月25日(2001.5.25)
(33)優先権主張国 日本(JP)

(71)出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(72)発明者 泉沢 優
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
(74)代理人 100058479
弁理士 鈴江 武彦 (外6名)

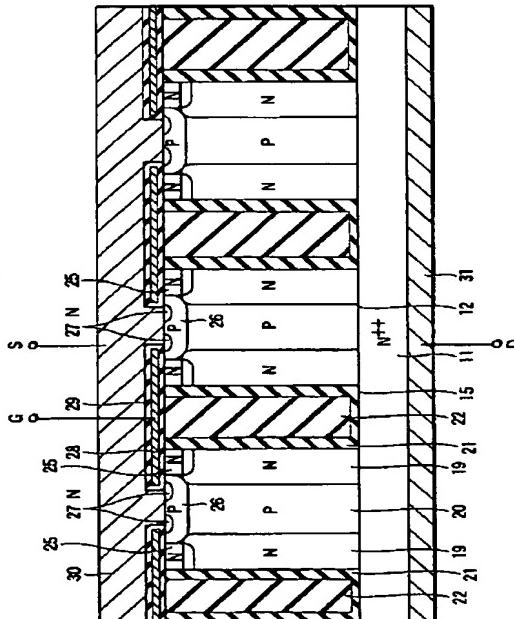
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 ソースードレイン間の電流経路の遮断を防止可能な半導体装置を提供する。

【解決手段】 半導体装置は、第1導電型の半導体基板上に配設された半導体層と、半導体層の表面から半導体基板に向かって深さ方向に延びる溝を具備する。また、半導体層内の溝の側面に前記溝に沿って深さ方向に形成され、且つ下部が半導体基板と接続された、第1導電型の第1領域と、半導体層の表面で且つ溝の側面の近傍に形成され、且つ第1領域と接続された、第1導電型の第2領域と、を具備する。また、半導体層の表面に形成された、第2導電型の第3領域と、第3領域内の前記半導体層の表面に形成された、第1導電型の第4領域と、第2領域と前記第4領域との間の第3領域の表面上にゲート絶縁膜を介して配設されたゲート電極と、を具備する。



1
【特許請求の範囲】

【請求項1】第1導電型の半導体基板と、前記半導体基板上に配設された半導体層と、前記半導体層の表面から前記半導体基板に向かって深さ方向に延びる溝と、前記半導体層内の前記溝の側面に前記溝に沿って深さ方向に形成され、且つ下部が前記半導体基板と接続された、第1導電型の第1領域と、前記半導体層の表面で且つ前記溝の側面の近傍に形成され、且つ前記第1領域と接続された、第1導電型の第2領域と、前記半導体層の表面に形成された、第2導電型の第3領域と、前記第3領域内の前記半導体層の表面に形成された、第1導電型の第4領域と、前記第2領域と前記第4領域との間の前記第3領域の表面上にゲート絶縁膜を介して配設されたゲート電極と、を具備することを特徴とする半導体装置。

【請求項2】第1導電型の半導体基板と、前記半導体基板上に配設された第2導電型の半導体層と、内部に充填層が埋め込まれ、前記半導体層の表面から前記半導体基板に向かって深さ方向に延びる溝と、前記半導体層内の前記溝の側面に前記溝に沿って深さ方向に形成され、且つ下部が前記半導体基板と接続された、第1導電型の第1領域と、前記半導体層の表面で且つ前記溝の側面の近傍に形成され、且つ前記第1領域と接続された、第1導電型の第2領域と、前記半導体層の表面に形成された、第2導電型の第3領域と、前記第3領域内の前記半導体層の表面に形成された、第1導電型の第4領域と、前記第2領域と前記第4領域との間の前記第3領域の表面上にゲート絶縁膜を介して配設されたゲート電極と、を具備することを特徴とする半導体装置。

【請求項3】前記第1領域と前記第2領域は、それぞれ前記第3領域と接して形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】前記第1領域は前記第3領域と離間して形成されていて、前記第2領域は前記第3領域と接して形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項5】前記第1領域と前記第2領域は、それぞれ前記第3領域と離間して形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項6】前記ゲート電極は前記溝の上部に延在して形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項7】前記第2領域は、前記ゲート電極に対して

自己整合的に形成されていることを特徴とする請求項1または2に記載の半導体装置。

【請求項8】前記第2領域の表面における不純物濃度は、前記第1領域の前記溝の側面近傍における不純物濃度以上であることを特徴とする請求項1または2に記載の半導体装置。

【請求項9】前記第2領域の表面における不純物濃度は、横方向にほぼ均一であることを特徴とする請求項1または2に記載の半導体装置。

10 【請求項10】前記第2領域の不純物濃度は、前記第1領域の不純物濃度の10倍以上であることを特徴とする請求項1または2に記載の半導体装置。

【請求項11】前記第1、第2領域の境界の領域における不純物濃度は、前記第1領域の不純物濃度よりも低いことを特徴とする請求項1または2に記載の半導体装置。

【請求項12】前記第3領域の不純物濃度は、前記半導体層の不純物濃度よりも高いことを特徴とする請求項2に記載の半導体装置。

20 【請求項13】第1導電型の半導体基板上に半導体層を形成する工程と、前記半導体層に、前記半導体基板に向かって深さ方向に延び、且つ第1開口を有する溝を形成する工程と、前記第1開口から前記溝の側面に第1、第2不純物をイオン注入する工程と、前記第1不純物を拡散することにより、前記半導体層内の前記溝の側面に前記溝の側面に深さ方向に沿って且つ下部が前記半導体基板と接続された第1導電型の第1領域を形成する工程と、

30 前記第2不純物を拡散することにより、前記半導体層内で、前記第1領域の前記溝と反対の側面に接して前記第1領域に沿って深さ方向に第2導電型の第2領域を形成する工程と、前記溝の内部を充填層により埋め込む工程と、

前記半導体層の表面で且つ前記溝の側面の近傍に、前記第1領域と接する第1導電型の第3領域を形成する工程と、前記半導体層の表面に、前記第2領域より高い不純物濃度を有する第2導電型の第4領域を形成する工程と、

40 前記第4領域内の前記半導体層の表面に、第1導電型の第5領域を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項14】前記第1、第2不純物は、前記第1不純物よりも前記第2不純物の拡散係数が大きくなる組み合わせで選ばれることを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項15】前記第1、第2不純物を注入する工程は、前記溝の両側の側面に前記第1、第2不純物をイオン注入する工程を具備することを特徴とする請求項13に記載の半導体装置の製造方法。

50

【請求項16】前記第3領域を形成する工程は、前記半導体層および充填層上に、前記第1領域の上部に対応する位置に第2開口を有するマスク層を選択的に形成する工程と、前記第2開口から前記半導体層の表面に第3不純物をイオン注入する工程と、前記第3不純物を拡散する工程と、を具備することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項17】前記第2開口の開口幅は、0.2～3.0μmであることを特徴とする請求項16に記載の半導体装置の製造方法。

【請求項18】前記第3領域を形成する工程は、前記半導体層の表面に第3不純物をイオン注入する工程と、前記第3不純物を拡散する工程と、を具備することを特徴とする請求項13に記載の半導体装置の製造方法。

【請求項19】前記マスク層はゲート電極であって、前記方法は、前記半導体層および充填層上にゲート絶縁膜を形成後、前記ゲート絶縁膜上にゲート電極を形成する工程をさらに具備することを特徴とする請求項16に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、大電力の制御に用いられるパワーMOSFETの半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、MOSFETを利用したパワースイッチング素子として、Deep TrenchMOSFET（以下、DTMOSと称す）が提案されている。

【0003】図22は、理想的な構造を有するDTMOSの断面図を概略的に示している。このDTMOSは、電流経路となるN型ビラー層119とP型ビラー層120とを溝115の相互間にそれぞれ深さ方向（縦方向）に形成した、いわゆるスーパージャンクション（超接合）構造を有する。図22に示すように、高濃度のN⁺型の半導体基板（シリコン基板）111上に、低濃度のN⁻型の半導体層112が設けられる。半導体層112内には、深い溝115が形成される。半導体層112内の溝115の側面にN型ビラー（pillar）層119が形成される。このN型ビラー層119の上部は、半導体層112の表面まで達する。N型ビラー層119に隣接してP型ビラー層120が形成される。溝115内には、酸化膜121を介して素子分離絶縁膜としての埋め込み層122が形成される。

【0004】半導体層112の表面には、高濃度のP⁺型のベース層126が形成され、このベース層126の表面に高濃度のN⁺型のソース層127が形成される。

また、半導体層112上にゲート絶縁膜を介してゲート電極128が形成される。ゲート電極128は層間絶縁膜129で覆われる。層間絶縁膜129上にソース電極130が形成され、基板111の裏面上にドレイン電極131が形成される。

【0005】スーパージャンクション構造により、素子の高耐圧、低オン抵抗を実現できる。

【0006】

【発明が解決しようとする課題】本発明者等は、本発明の開発の過程において、図22を参照して述べたようなDTMOSの製造工程について研究した。その結果、本発明者等は、以下に述べるような知見を得た。

【0007】まず、図22を参照して、上記構成のDTMOSの製造方法について簡単に説明する。半導体基板111上に、半導体層112がエピタキシャル成長により形成される。次に、半導体層112上にマスク層が形成され、次いでバターニングされる。このバターニングされたマスク層をマスクとして、異方性エッティングにより、半導体層112内に深い溝115が形成される。この溝115の側壁にN型不純物及びP型不純物が注入され、次いで熱拡散される。その結果、溝115に沿ってN型ビラー層119、P型ビラー層120が形成される。その後、溝115内に酸化膜121を介して埋め込み層122が形成される。

【0008】次に、半導体層112の表面にベース層126が選択的に形成され、このベース層126の表面にソース層127が選択的に形成される。次に、半導体層112上にゲート絶縁膜を介してゲート電極128が形成され、このゲート電極128が層間絶縁膜129で覆われる。この層間絶縁膜129上にソース電極130が形成され、基板111の裏面上にドレイン電極131が形成される。

【0009】しかしながら、このような工程により形成されるDTMOSは、図22に示すような理想的な構造にはならず、以下のような問題が生じる。

【0010】図23に示すように、マスク層113を用いて異方性エッティングにより半導体層112内に深い溝115が形成されると、半導体層112はマスク層113の開口幅より広くエッティングされて、マスク層113が溝115から突き出た構造となる。この状態は、いわゆるオーバーハングと呼ばれる。例えば200という大きな方向選択比を持つ異方性エッティングを行っても、深さが60μmの溝115を形成すれば、溝115の側壁が0.3μm後退し、マスク層113の突き出し部分113aができる。このマスク層113の突出し部分113aを残した状態で、溝115の側壁に低角度のイオン注入を行うと、この突出し部分113aがイオン注入時の障壁となる。

【0011】従って、イオン注入した不純物を熱拡散した後には、図24、図25に示すように、溝115の側

面の半導体層112の上層にN型ピラー層119が形成されない領域ができ、N型ピラー層119が半導体層112の表面まで達しない。これは、例えば、0.3μmの突出し部分113aとイオン注入の角度が7°の場合には、イオン注入が当たらない領域における半導体層112の表面からN型ピラー層119の端部までの距離Xは2.4μmとなる。また、イオン注入の角度が5°の場合は、同様に距離Xは3.4μmとなる。

【0012】このように、N型ピラー層119が半導体層112の表面に達しない状態では、縦型PN接合を有するMOSFETの電流経路が遮断される。このため、反転層領域でチャネルを形成しても、正常なFET動作をしないという問題がある。従って、この問題を回避するためには、N型ピラー層119が半導体層112の表面まで形成することが必要である。

【0013】そこで、第1の方法としては、マスク層113を用いて溝115を形成した後、このマスク層113の開口幅を溝115の開口幅よりも等方性エッチングにより広げてから、イオン注入を行うという方法が考えられる。しかし、ウェハ面内でのオーバーハング量と等方性エッチング量のバラツキを考慮すると、ウェハ面内の任意の位置における各溝115において、マスク層113の開口幅を所望量だけそれぞれ広げることは難しい。また、このとき、図26に示すように、マスク層113の開口幅が広がりすぎると、半導体層112の表面が露出された露出領域112aができる。ここで、溝115の側壁へのイオン注入は低角度で行われるため、不純物のドーズ量は高くなっている。このため、露出領域112aにイオンが注入されると、この露出領域112aが非常に高濃度となり、半導体層112上に形成するMOSFETの特性や拡散層の形状に影響を及ぼす。特に、溝115の側面に、N型及びP型不純物のイオン注入及びこれらの不純物の同時拡散を行うことによりスーパージャンクションを形成する場合、この露出領域112aが高濃度であると、素子の逆バイアス耐圧特性を低下させてしまう。

【0014】また、第2の方法としては、N型ピラー層119が形成されていない半導体層112の上層を除去する方法が考えられる。すなわち、マスク層113の突出し部分113aを残した状態で、イオン注入及び拡散をした後、マスク層113を除去する。そして、図27に示すように、溝115内に酸化膜121を介して埋め込み層122を形成する。その後、図28に示すように、N型ピラー層119が形成されていない半導体層112の上層が無くなるまで、半導体層112、酸化膜121及び埋め込み層122を例えば研磨により除去し、これらの表面を平坦化する。しかし、この場合は、平坦化除去する分だけ半導体層112を予め厚くエピタキシャル成長させることが必要になり、製造原価の上昇を招くことになる。

【0015】このように、上記した工程では、N型ピラー層119が半導体層112の表面まで形成された構造を得ることは難しく、したがってソースードレイン間の電流経路が遮断されるという問題を回避することが困難であった。

【0016】本発明は上記課題を解決するためになされたものであり、その目的とするところは、ソースードレイン間の電流経路の遮断を防止することが可能な半導体装置及びその製造方法を提供することにある。

10 【0017】

【課題を解決するための手段】本発明は、前記目的を達成するために以下に示す手段を用いている。

【0018】本発明の第1の視点による半導体装置は、第1導電型の半導体基板と、前記半導体基板上に配設された半導体層と、前記半導体層の表面から前記半導体基板に向かって深さ方向に延びる溝と、前記半導体層内の前記溝の側面に前記溝に沿って深さ方向に形成され、且つ下部が前記半導体基板と接続された、第1導電型の第1領域と、前記半導体層の表面で且つ前記溝の側面の近傍に形成され、且つ前記第1領域と接続された、第1導電型の第2領域と、前記半導体層の表面に形成された、第2導電型の第3領域と、前記第3領域内の前記半導体層の表面に形成された、第1導電型の第4領域と、前記第2領域と前記第4領域との間の前記第3領域の表面上にゲート絶縁膜を介して配設されたゲート電極と、を具備することを特徴とする。

【0019】本発明の第2の視点による半導体装置の製造方法は、第1導電型の半導体基板上に半導体層を形成する工程と、前記半導体層に、前記半導体基板に向かって深さ方向に延び、且つ第1開口を有する溝を形成する工程と、前記第1開口から前記溝の側面に第1、第2不純物をイオン注入する工程と、前記第1不純物を拡散することにより、前記半導体層内の前記溝の側面に前記溝の側面に深さ方向に沿って且つ下部が前記半導体基板と接続された第1導電型の第1領域を形成する工程と、前記第2不純物を拡散することにより、前記半導体層内で、前記第1領域の前記溝と反対の側面に接して前記第1領域に沿って深さ方向に第2導電型の第2領域を形成する工程と、前記溝の内部を充填層により埋め込む工程と、前記半導体層の表面で且つ前記溝の側面の近傍に、前記第1領域と接する第1導電型の第3領域を形成する工程と、前記半導体層の表面に、前記第2領域より高い不純物濃度を有する第2導電型の第4領域を形成する工程と、前記第4領域内の前記半導体層の表面に、第1導電型の第5領域を形成する工程と、を具備することを特徴とする。

【0020】更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾

つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0021】

【発明の実施の形態】以下に、上記した知見に基づいて構成された本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0022】本発明の各実施形態は、パワーMOSFETに係り、特に縦型NPN構造のDeep Trench MOSFETに関するものである。このDTMOSは、半導体層内に形成された溝の相互間に、電流経路となるN型ピラー層と、ドレイン-ソース間の逆方向耐圧を維持するためのP型ピラー層とをそれぞれ深さ方向に形成したものである。

【0023】【第1の実施形態】図1は、本発明の第1の実施形態に係る半導体装置の断面を概略的に示しており、縦型NPN構造のDTMOS構造を示す。なお、ここでは、Nチャネル型のDTMOSについて述べるが、不純物を適宜変更することにより、本発明をPチャネル型のDTMOSに適用することも可能である。

【0024】図1に示すように、高濃度のN++型の半導体基板(シリコン基板)11上に、低濃度のN-型の半導体層12が設けられる。この半導体層12は低濃度のP-型でもよい。深い溝(ディープトレンチ: Deep Trench)15が、半導体層12を貫通して、基板11内に向かって深さ方向に延びるように設けられる。溝15は半導体基板11に達する。溝15の内部には、溝15の表面に設けられた酸化膜21を介して例えば多結晶シリコン、アモルファスシリコン、誘電体等のいずれかからなる埋め込み層(充填層)22が形成される。埋め込み層22により溝15が埋め込まれる。埋め込み層22は、素子分離絶縁膜として機能する。酸化膜21により半導体層12と溝15内の埋め込み層22とが絶縁される。

【0025】溝15の側面には、溝15の側面に、溝15に沿って深さ方向に第1のN型ピラー層19が形成される。第1のN型ピラー層19は、その上部が半導体層12の表面から離しておらず、底部が半導体基板11と接続される。P型ピラー層20は、この第1のN型ピラー層19の溝15と反対の側面と接し、且つ第1のN型ピラー層に沿って深さ方向に形成される。このようにして、スーパージャンク構造が形成される。

【0026】半導体層12の表面で、且つ溝15の側面の近傍に、第2のN型ピラー層25が設けられる。第2のN型ピラー層25は、その上部が半導体層12の表面まで達し、底部は第1のN型ピラー層19の上部と一部交わる。この結果、第1のN型ピラー層19と第2のN型ピラー層25とは電気的に接続される。上記第1、第

2のN型ピラー層19、25は、ソース-ドレイン間の電流経路として機能する。

【0027】第2のN型ピラー層25の相互間であって、且つ半導体層12の表面には、高濃度のP+型のベース層26が設けられる。このP+型のベース層26は、例えば端部が第2のN型ピラー層25と接するとともに、コーナー部が第1のN型ピラー層19と接する。P+型のベース層26の表面に高濃度のN+型のソース層27が形成される。ソース層27の端部は、ベース層26の端部と所定間隔離する。半導体層12上には、ゲート絶縁膜を介してゲート電極28が形成される。ゲート電極28は、層間絶縁膜29で覆われる。ゲート電極28及び層間絶縁膜29は少なくとも溝15の上部に形成され、その端部は、ベース層26とソース層27との間に対応する位置まで延出している。このベース層26とソース層27との間の領域がチャネルとして機能する。層間絶縁膜29上にはソース電極30が形成され、基板11の裏面上にはドレイン電極31が形成される。

【0028】図2乃至図11は、上記構成の半導体装置の製造工程の断面図を概略的に示している。以下に、この半導体装置の製造方法について説明する。

【0029】まず、図2に示すように、半導体基板11上に、半導体層12がエビタキシャル成長により形成される。半導体層12の表面の上にマスク層13が形成される。このマスク層13は、例えば、熱酸化膜とCVD(Chemical Vapor Deposition)膜とからなる2層の膜で形成される。

【0030】次に、図3に示すように、リソグラフィ工程及びエッティング技術を用いてマスク層13がバターニングされることにより、マスク層13に半導体層12の表面の一部を露出させる開口部14が形成される。この開口部14を有するマスク層13をマスクとして異方性エッティングを行うことにより、半導体層12を貫通して基板11内に達する溝15が形成される。

【0031】なお、溝15を形成するためのエッティングは、エッティングレートを大きくとれる装置を用いることが好ましく、例えば、ICP(Inductively Coupled Plasma)装置又はマグネットロンRIE(Reactive Ion Etching)装置を用いるとよい。その理由は、上記装置を用いてエッティングを行うことにより、溝15を形成するための製造時間を大幅に短縮できるからである。

【0032】次に、図4に示すように、開口部14から溝15の側面に低角度でN型不純物及びP型不純物が続けて注入されることにより、溝15の側面にN型不純物領域16及びP型不純物領域17が形成される。このN型不純物領域16及びP型不純物領域17は溝15の両側の側面に一度に注入されるが、溝15の側面の片方ずつ順にイオン注入してもよいし、溝15の両側の側面へ一度にイオン注入してもよい。溝15の両側の側面へイオン注入するには、ウェハ自転式のイオン注入装置を用

いればよい。

【0033】なお、N型不純物及びP型不純物を注入するにあたり、まず、2種類の不純物の拡散係数を比較して、N型不純物よりもP型不純物の拡散係数が大きくないうな組み合わせで2種類の不純物が選ばれる。Nチャネル型のDTMOSの場合、N型不純物として例えば砒素(A s)、P型不純物として例えばホウ素(B)が用いられる。このようなN型、P型不純物を用いた場合、A sのイオン注入は、例えば、加速電圧が40keV、ドーズ量が $2.5 \times 10^{13} \text{ cm}^{-2}$ の条件で行われ、Bのイオン注入は、例えば、加速電圧が40keV、ドーズ量が $2.5 \times 10^{13} \text{ cm}^{-2}$ の条件で行われる。

【0034】また、イオン注入を溝15の深くまで行うためには、溝15の底部の基板11の側面まで達するような角度でイオン注入を行うか、又はマスク層13の開口幅を十分広くする必要がある。例えば、溝15の深さが $6.0 \mu\text{m}$ 、半導体層12の厚さが $5.6 \mu\text{m}$ 、鉛直方向に対するイオン注入の角度が 7° の場合、マスク層13の開口幅は約 $7 \mu\text{m}$ 必要となる。

【0035】次に、図5に示すように、例えば熱酸化法により、溝15の側面に例えば 500 \AA 程度の膜厚の熱酸化膜18が形成される。

【0036】次に、図6に示すように、温度が例えば 150°C 、拡散時間が例えば2700分の条件の熱拡散を行うことにより、N型不純物及びP型不純物が同時に拡散される。その結果、第1のN型ビラー層19、P型ビラー層20が形成されることにより、スーパーバージョンクションが形成される。なお、第1のN型ビラー層19、P型ビラー層20を別工程により形成することもできる。すなわち、N型不純物を注入、熱拡散した後、P型不純物を注入、熱拡散することができ、この逆も可能である。しかし、2種類の不純物を連続して注入してN型、P型不純物領域16、17を形成し、同時拡散により第1のN型ビラー層19、P型ビラー層20を形成することにより、製造プロセスが容易になる。

【0037】ここで、N型不純物にA s、P型不純物にBを用いた場合、 1150°C でのA sの拡散係数は $1.8 \times 10^{-2} \mu\text{m}^2/\text{h}$ 程度であり、Bの拡散係数は $1.1 \times 10^{-1} \mu\text{m}^2/\text{h}$ 程度である。つまり、Bの拡散係数がA sの拡散係数よりも一桁大きい。これにより、溝15の側面から横方向(溝の深さ方向に垂直な方向)に、A sは約 $2.5 \sim 3.0 \mu\text{m}$ 拡散し、Bは約 $7.5 \mu\text{m}$ 拡散する。

【0038】次に、図7に示すように、例えばフッ素系の薬液を用いて、マスク層13及び熱酸化膜18が除去される。

【0039】次に、図8に示すように、半導体層12上及び溝15の表面上に例えば $1.2 \mu\text{m}$ 程度の膜厚の酸化膜21が形成される。次に、この酸化膜21上に埋め込み層22が形成され、この埋め込み層22及び酸化膜

21により溝15内が埋め込まれる。

【0040】次に、図9に示すように、半導体層12の表面が露出するまで埋め込み層22及び酸化膜21がCMP(Chemical Mechanical Polish)又はエッチングで除去されることにより、半導体層12及び埋め込み層22の表面が平坦化される。

【0041】次に、図10に示すように、半導体層12及び埋め込み層22の平坦化された表面上に、例えば 4000 \AA の膜厚の例えは熱酸化膜からなるマスク層23が形成される。次に、リソグラフィ工程及びエッチング技術を用いてマスク層23がバターニングされ、この結果、半導体層12の表面の一部が露出される開口部24が形成される。この開口部24は溝15の上端部付近における半導体層12の表面を露出するように形成される。また、開口部24の開口幅は、例えば $0.2 \sim 3.0 \mu\text{m}$ である。その理由は、開口幅が $0.2 \mu\text{m}$ より小さいと後述する第2のN型ビラー層25の形成のためのイオン注入が十分に行えないからであり、開口幅が $3.0 \mu\text{m}$ より大きいと後述するベース層26の領域が確保できなかったりチャネル長が短くなったりするからである。なお、この開口部24の開口幅は、本実施形態で示す各寸法に対する数値であり、寸法の変化により適宜変更することが可能である。

【0042】次に、開口部24からN型不純物である例えは磷(P)がイオン注入された後、熱拡散が行われる。ここで、例えば、N型不純物にPを用いた場合、イオン注入は、加速電圧が40keV、ドーズ量が $2.0 \times 10^{12} \text{ cm}^{-2}$ の条件で行われ、拡散は、窒素雰囲気中で、温度が 1150°C 、拡散時間が70分の条件で行われる。その結果、溝15の側面の半導体層12の上層に第1のN型ビラー層19に接する第2のN型ビラー層25が形成される。その後、マスク層23が除去される。

【0043】次に、図1に示すように、公知の技術を用いて、半導体層12の表面にベース層26が選択的に形成され、このベース層26の表面にソース層27が選択的に形成される。また、半導体層12上にゲート絶縁膜を介してゲート電極28が形成され、このゲート電極28が層間絶縁膜29で覆われる。この層間絶縁膜29上にソース電極30が形成され、基板11の裏面上にドレイン電極31が形成される。ベース層26、ソース層27は、例えはゲート電極28をマスクとして自己整合的に形成されてもよい。

【0044】図11は、図1に示す半導体装置の一部を示す断面図であり、等高線によるN型ビラー層の濃度分布を示す。図12は、図11のXII-XII線に沿った断面における濃度分布を示す。図13は、図11のXIII-XIII線に沿った断面における濃度分布を示す。以下に、第1の実施形態に係る半導体装置の濃度分布について説明する。

【0045】図11に示すように、第2のN型ビラー層

25を形成することにより、半導体層12の表面まで第1のN型ピラー層19と同じ濃度若しくは第1のN型ピラー層19より高い不純物濃度の領域が形成されている。

【0046】図12に示すように、半導体層12は溝15の側面に近づくほどAsの濃度Ndが高くなっている。すなわち、溝15の側面にN型ピラー層19が形成されている。一方、溝15間の半導体層12の中央の領域は、Asの濃度Ndが低く、このAsの濃度NdよりもBの濃度Ndが高くなっている。すなわち、この領域にP型ピラー層20が形成されている。そして、溝15の側面の第1のN型ピラー層19の不純物濃度Ndは、約 $5 \times 10^{13} \text{ cm}^{-3}$ となる。なお、Pの濃度Ndは、 $2 \times 10^{14} \text{ cm}^{-3}$ でほぼ一定となっている。

【0047】図13に示すように、半導体層12の表面に近づくにつれて、第1のN型ピラー層19を形成するためのAsの濃度は低くなってしまい、第2のN型ピラー層25を形成するためのPの濃度は高くなっている。これらの不純物濃度を合わせた結果、半導体層12の表面のN型ピラー層25の不純物濃度Ndは、約 $1 \times 10^{11} \text{ cm}^{-3}$ となる。つまり、上述した第1のN型ピラー層19よりも第2のN型ピラー層25の不純物濃度Ndの方が約10倍高くなっている。この不純物濃度の差については、第2のN型ピラー層25の不純物濃度Ndが第1のN型ピラー層19の不純物濃度Ndの10倍以上となってもよい。また、第1、第2のN型ピラー層19、25の境界領域における不純物濃度Ndは、第1のN型ピラー層19の不純物濃度Ndよりも低くなる。なお、P型ピラー層20を形成するためのBの濃度Ndは半導体層12の深さ方向においてほぼ一定となっている。

【0048】第1の実施形態によれば、溝15の側面の半導体層12の上層に、第1のN型ピラー層19に接する第2のN型ピラー層25を形成する。このため、マスク層13の突き出しによって、溝15の側面の半導体層12の上層に十分イオン注入ができる場合であっても、後に第2のN型ピラー層25を形成することによって、半導体層12の上面までN型拡散領域を形成できる。従って、ソースードレイン間の電流経路を確保できる。

【0049】また、溝15の側面の半導体層12の上層に、第1のN型ピラー層19よりも高濃度の第2のN型ピラー層25が形成される。従って、溝15の側面の半導体層12の上層に電流が集中することを緩和でき、素子の低抵抗化を図ることができる。

【0050】上記実施形態では、ベース層26と、第1、第2のN型ピラー層19、25と、が接觸している例について述べた。しかし、このベース層26と、第1、第2のN型ピラー層19、25と、は非接觸とされても上記した効果を得られるとともに、非接觸とすることにより以下に示す更なる効果を得られる。

【0051】まず第1の変更例として、図14(A)に示すように、PN接合がベース層26と第2のN型ピラー層25との間でのみ形成されるようにすることができる。この結果、ベース層26と第1のN型ピラー層19との間にベース層26よりも低濃度のP型ピラー層20が存在することになる。このため、ドレインーソース間に逆バイアスが印加された際に、ベース層26のコーナー部での電界の集中を抑制できる。したがって、半導体装置の耐圧が劣化することを回避できる。

【0052】さらに第2の変更例として、図14(B)に示すように、第2のN型ピラー層25またはベース層26の横方向の長さを小さくすることにより、P型ピラー層20が半導体層12の表面まで残すことができる。すなわち、ベース層26と第2のN型ピラー層25とを非接觸とする。この場合、P型ピラー層20に反転領域が形成されるため、電流経路は遮断されない。こうすることにより、第1の変更例に記載の効果を得られるとともに、ドレイン(第2のN型ピラー層25)とゲート電極28との対向面積が小さくなり、ドレインーゲート間の容量を低下できる。このため、半導体装置の高速化を実現できる。

【0053】【第2の実施形態】図15は、本発明の第2の実施形態に係る半導体装置の断面を概略的に示しており、縦型NPN構造のDTMOS構造を示している。

【0054】図15に示すように、第2のN型ピラー層35は半導体層12の表面に沿って、横方向に延在するように設けられる。また第2のN型ピラー層35は、側面が溝15及びベース層26に接し、且つ下部は第1のN型ピラー層19の上部と一部交わる。上記第1、第2のN型ピラー層19、35は、ソースードレイン間の電流経路として機能する。

【0055】図16は、上記構成の半導体装置の製造工程の断面図を概略的に示している。以下に、この半導体装置の製造方法について説明する。

【0056】まず、図2乃至図9に示すように、第1の実施形態と同様に、溝15の側面に第1のN型ピラー層19、P型ピラー層20がそれぞれ形成される。その後、溝15内が埋め込み層22で埋め込まれ、半導体層12及び埋め込み層22の表面が平坦化される。

【0057】次に、図16に示すように、図9に示すマスク層23を形成せずに、半導体層12及び埋め込み層22の平坦化された表面の全面にN型不純物である例えばPがイオン注入され、その後熱拡散が行われる。その結果、半導体層12の表面に第1のN型ピラー層19に接する第2のN型ピラー層35が形成される。この際、N型不純物にPを用いた場合、例えば、イオン注入は、加速電圧が40keV、ドーズ量が $1.5 \times 10^{11} \text{ cm}^{-2}$ の条件で行われ、拡散は、窒素雰囲気中で、温度が150°C、拡散時間が20分の条件で行われる。

【0058】なお、このとき、半導体層12の表面の全

域に第2のN型ピラー層36よりも第2のN型ピラ

【0059】次に、図15に示すように、公知の技術を用いて、半導体層12の表面に高濃度のP+型のベース層26が選択的に形成される。この際、P型不純物にBを用いた場合、例えば、イオン注入は、加速電圧が60k eV、ドーズ量が $3.0 \times 10^{14} \text{ cm}^{-2}$ の条件で行われ、拡散は、窒素雰囲気中で、温度が1150℃、拡散時間が230分の条件で行われる。その後、第1の実施形態と同様に、ベース層26の表面に高濃度のソース層27が選択的に形成される。次いで、半導体層12上にゲート絶縁膜を介してゲート電極28が形成され、層間絶縁膜29、ソース電極30、ドレイン電極31が形成される。

【0060】図17は、本発明の第2の実施形態に係る半導体装置の断面図であり、等高線によるN型ピラー層の濃度分布を示す。図18は、図17のXVII-XVIII線に沿った断面における濃度分布を示す。図19は、図17のXIX-XIX線に沿った断面における濃度分布を示す。以下に、第2の実施形態に係る半導体装置の濃度分布について説明する。

〔0061〕図17に示すように、第2のN型ピラー層35を形成することにより、半導体層12の表面まで第1のN型ピラー層19と同じ濃度若しくは第1のN型ピラー層19より高い不純物濃度の領域が形成されている。また、半導体層12の表層の横方向（溝15の深さ方向に対して垂直な方向）においてN型ピラー層35の不純物濃度が均一となっている。

〔0062〕なお、図17は、マスク層13の突き出しが0.4μm程度の状態で、半導体層12の表面から3μm以上深い領域にイオン注入が行われた結果、半導体層12の表面から1μmの深さから第1のN型ピラーレン19が形成された場合を示している。

【0063】図18に示すように、半導体層12は溝15の側面に近づくほどAsの濃度Ndが高くなっているため、溝15の側面にN型ピラー層19が形成されている。一方、溝15間の半導体層12の中央の領域は、Asの濃度Ndが低く、このAsの濃度NdよりもBの濃度Ndが高くなっているため、P型ピラー層20が形成されている。そして、溝15の側面の第1のN型ピラー層19不純物濃度Ndは、約 $5 \times 10^{11} \text{ cm}^{-3}$ となる。なお、半導体層12の形成時に注入したPの濃度Ndは、 $2 \times 10^{14} \text{ cm}^{-3}$ でほぼ一定となっている。このように、図17のXVIIII-XVIIII線に沿った断面における濃度分布は、図12に示す第1の実施形態と同様の濃度分布となる。

【0064】図19に示すように、半導体層12の表面に近づくにつれて、第1のN型ピラーレイ19を形成する。

ためのA s の濃度はやや低くなつており、第2のN型ビラー層3 5を形成するためのPの濃度は急激に高くなつてゐる。これらの不純物濃度を合わせた結果、半導体層1 2の表面のN型ビラー層3 5の不純物濃度N dは、約 $1 \times 10^{16} \text{ cm}^{-3}$ となる。つまり、上述した第1のN型ビラー層1 9よりも第2のN型ビラー層3 5の不純物濃度N dの方が10倍程高くなつてゐる。この不純物濃度の差については、第2のN型ビラー層3 5の不純物濃度N dが第1のN型ビラー層1 9の不純物濃度N dの10倍以上となつてもよい。なお、P型ビラー層2 0を形成するためのBの濃度N dは半導体層1 2の深さ方向においてほぼ一定となつてゐる。

【0065】第2の実施形態によれば、第1の実施形態と同様の効果を得ることができる。

【0066】さらに、第1の実施形態と比較して、マスク層23の形成工程とこのマスク層23のバターニング工程がそれぞれ1回ずつ削減されるため、プロセスが容易となる。

【0067】また、第2の実施形態によれば、半導体層12の表層の横方向においてN型ピラー層35の不純物濃度を均一に形成できる。このため、第1の実施形態よりも、溝15の側面の半導体層12の上層に電流が集中することを緩和でき、素子の低抵抗化をさらに図ることができる。

【0068】なお、ベース層26と、第1、第2のN型ピラー層19、35とを非接触とすることにより、第1の実施形態と同様の効果をさらに得られることはもちろんである。

【0069】[第3の実施形態] 図20は、本発明の第3の実施形態に係る半導体装置の断面を概略的に示しており、縦型NPN構造のDTMOS構造を示している。図20に示すように、ゲート電極28は溝15上に設けられておらず、溝15の端部から離し、且つベース層26の端部とソース層27の端部との間のチャネル領域上まで延在して設けられる。その他の構造については、第1の実施形態と同様である。

【0070】図21は、上記構成の半導体装置の製造工程の断面図を概略的に示している。まず、図2乃至図9に示すように、第1の実施形態と同様に、溝15、第1のN型ピラー層19、P型ピラー層20、埋め込み層22が形成される。

【0071】次に、図21に示すように、ゲート絶縁膜51が形成された後、このゲート絶縁膜51上にゲート電極28となる導電膜が形成される。次に、リソグラフィ工程およびエッチング技術を用いて、この導電膜をバターニングする。この結果、溝15の端部から離間し、且つベース層26の端部とソース層27の端部の間のチャネル領域上まで延在してゲート電極28が形成される。次に、半導体層12上にマスク層52が形成される。このマスク層52は、例えばゲート電極28の端部

とほぼ同一の端部を有するように形成される。次に、このゲート電極28をマスクとしてイオン注入を行うことにより、第2のN型ビラー層25が自己整合的に形成される。このため、マスク層52のバターニングの際、厳密な位置合わせは必要とされない。

【0072】次に、図20に示すように、マスク層52を除去した後、ゲート電極28をマスクとして、イオン注入を行うことによりベース層26が自己整合的に形成される。なお、マスク層52をマスクとして、第2のN型ビラー層25およびベース層26を形成することもできる。次に、第1の実施形態と同様の工程を経て、ソース層27、層間絶縁膜29、ソース電極30、ドレイン電極31が形成される。なお、ゲート電極28上に、さらにポリシリコン等の導電材料による配線層を形成することもできる。こうすることにより、ゲート電極28の配線抵抗を低下することができる。

【0073】第3の実施形態によれば、第1、第2の実施形態と同様の効果を得ることができる。

【0074】さらに、第3の実施形態によれば、第2のN型ビラー層25はゲート電極28をマスクとして自己整合的に形成される。このため、第2のN型ビラー層25は、ゲート電極28との間で位置ずれを生じることなく形成される。上記したように、ベース層26もゲート電極をマスクとして自己整合的に形成されるため、結果的に、第2のN型ビラー層25とベース層26との間の位置ズレを回避できる。

【0075】また、ドレイン（第2のN型ビラー層25）とゲート電極28との対向面積を、第1、第2の実施形態に比べ、さらに小さくすることができる。このため、ドレインーゲート間の容量をさらに低下できる。このため、半導体素子の高速化が可能となる。さらに、上記したように、ゲート電極28上にさらに配線層を設けることにより、ドレインーゲート間の容量を低下させるとともにゲート電極28の配線抵抗を低下できる。

【0076】溝15の側壁からイオン注入することにより第1のN型ビラー層19を形成する場合、溝15の側面付近ほど第1のN型ビラー層の不純物濃度が高くなる。このため、ドレインーソース間に逆バイアスが印加された場合、この高濃度の部分の空乏化が遅れる。第3の実施形態によれば、この高濃度部分とゲート電極28との対向面積を小さくすることができるため、容量を低下することができ、半導体素子の高速化が可能となる。

【0077】その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【0078】

【発明の効果】以上説明したように本発明によれば、ソースードレイン間の電流経路の遮断を防止することが可能な半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体装置を概略的に示す断面図。

【図2】図1に示す半導体装置の製造工程を示す断面図。

【図3】図2に続く工程を示す断面図。

【図4】図3に続く工程を示す断面図。

【図5】図4に続く工程を示す断面図。

【図6】図5に続く工程を示す断面図。

【図7】図6に続く工程を示す断面図。

【図8】図7に続く工程を示す断面図。

【図9】図8に続く工程を示す断面図。

【図10】図9に続く工程を示す断面図。

【図11】図1に示す半導体装置におけるN型ビラー層の濃度分布を等高線により示す図。

【図12】図11のXⅠⅠ-XⅠⅠ線に沿った断面における濃度分布を示す図。

【図13】図11のXⅢⅢ-XⅢⅢ線に沿った断面における濃度分布を示す図。

【図14】図1に示す半導体装置の第1、第2の変更例を概略的に示す断面図。

【図15】本発明の第2の実施形態に係る半導体装置を概略的に示す断面図。

【図16】図9に続く、本発明の第2の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図17】図15に示す半導体装置におけるN型ビラー層の濃度分布を等高線により示す図。

【図18】図17のXⅥⅠⅠ-XⅥⅠⅠ線に沿った断面における濃度分布を示す図。

【図19】図17のXⅠⅩ-XⅠⅩ線に沿った断面における濃度分布を示す図。

【図20】本発明の第3の実施形態に係る半導体装置を概略的に示す断面図。

【図21】図9に続く、本発明の第3の実施形態に係る半導体装置の製造工程を概略的に示す断面図。

【図22】理想的な構造のDTMOSを有する半導体装置を概略的に示す断面図。

【図23】図22の半導体装置の製造工程の問題点を説明するための図。

【図24】図23に続く工程を示す断面図。

【図25】図24の半導体装置のN型ビラー層の濃度分布を等高線により示す図。

【図26】図22の半導体装置の製造工程の問題点を説明するための図。

【図27】図22の半導体装置の製造工程の問題点を説明するための図。

【図28】図27に続く工程を示す断面図。

【符号の説明】

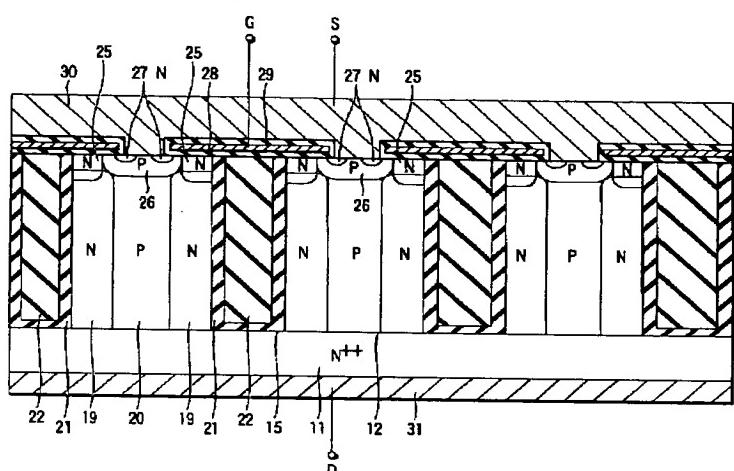
1 1 … N型半導体基板、

50 1 2 … N型半導体層、

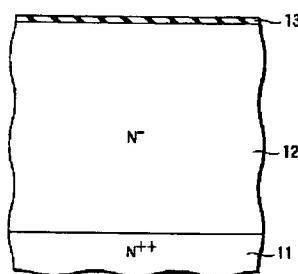
- 1 5 …溝、
- 2 1 …酸化膜、
- 1 9 …第1のN型ピラー層、
- 2 0 …P型ピラー層、
- 2 2 …埋め込み層、
- 2 5 …第2のN型ピラー層、
- 2 6 …P型ベース層、
- 2 7 …N型ソース層、

* 2 8 …ゲート電極、
2 9 …層間絶縁膜、
3 0 …ソース電極、
3 1 …ドレイン電極、
G…ゲート、
D…ドレイン、
S…ソース。

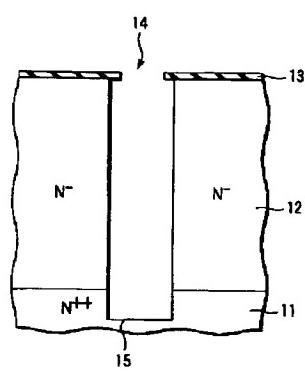
[図1]



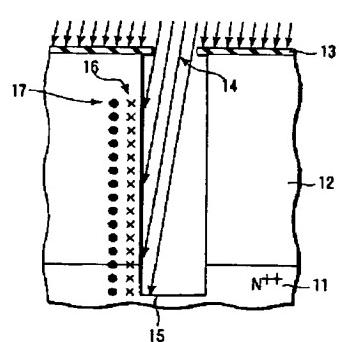
[図2]



【図3】

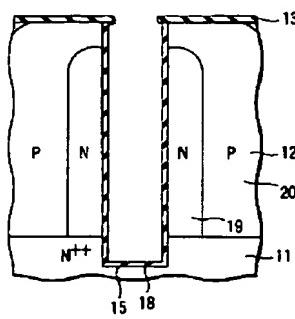


[図4]

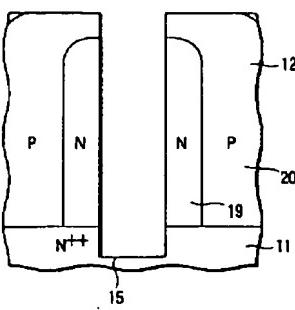


[図5]

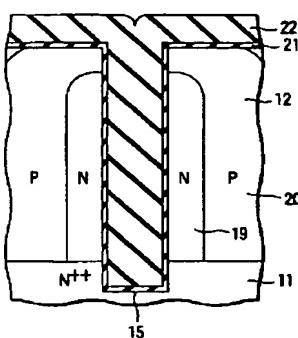
【図6】



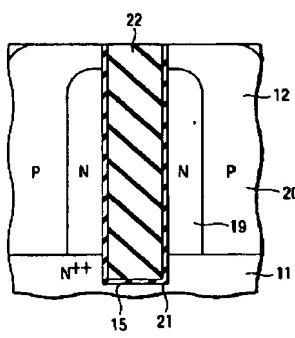
【図7】



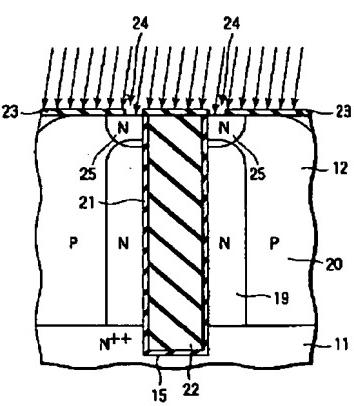
【図8】



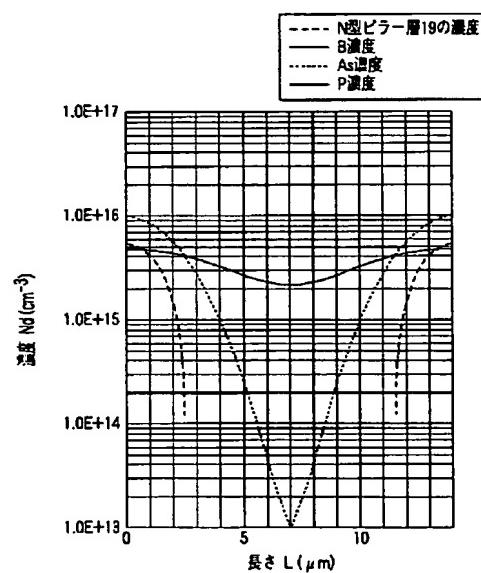
【図9】



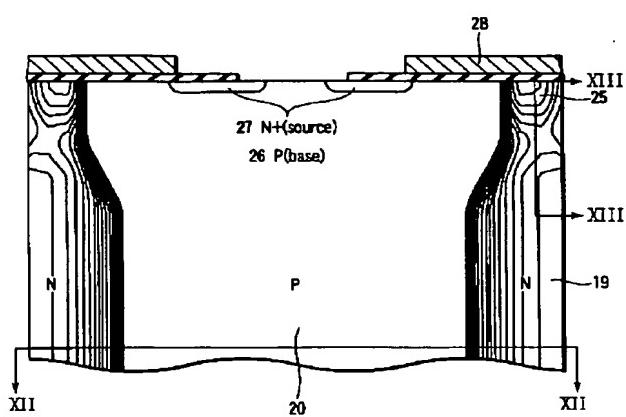
【図10】



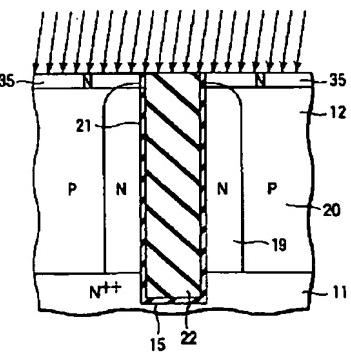
【図12】



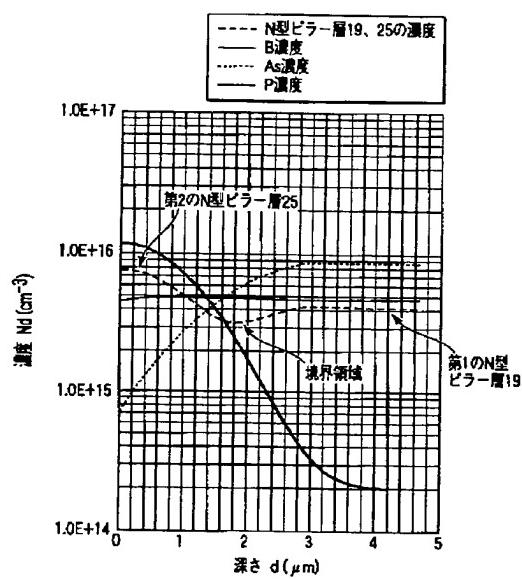
【図11】



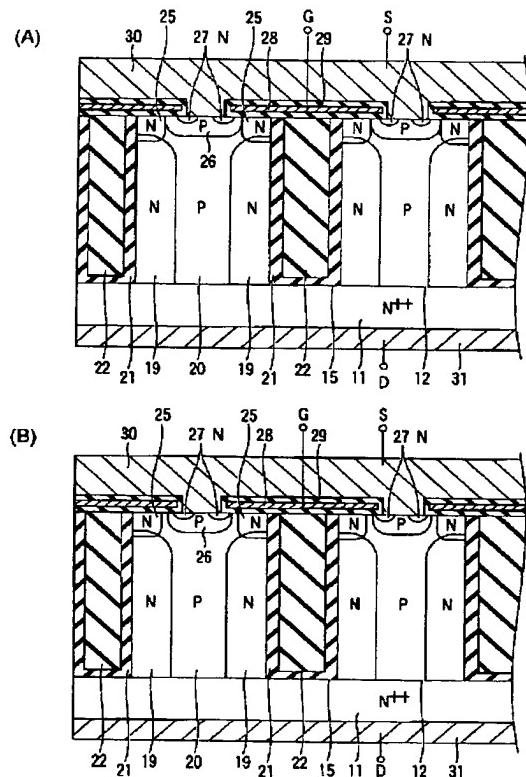
【図16】



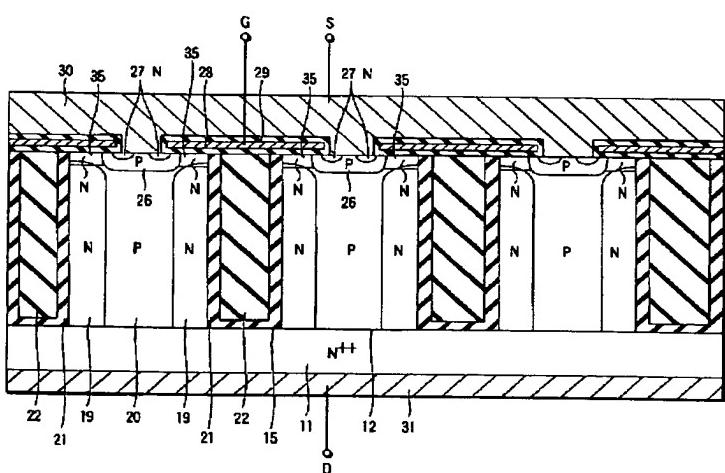
【図13】



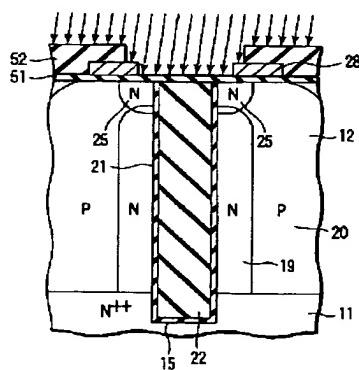
【図14】



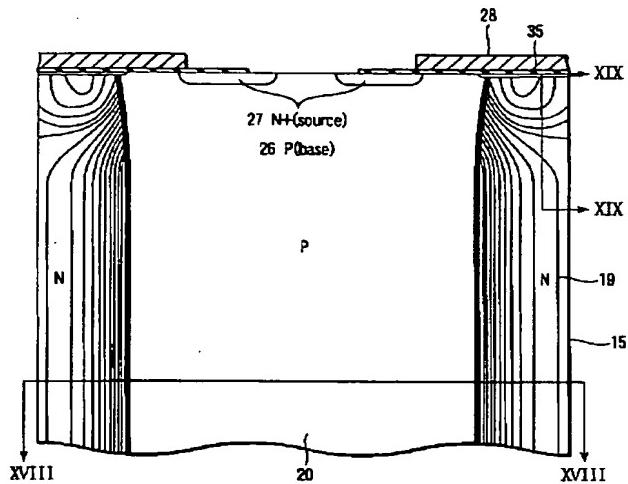
【図15】



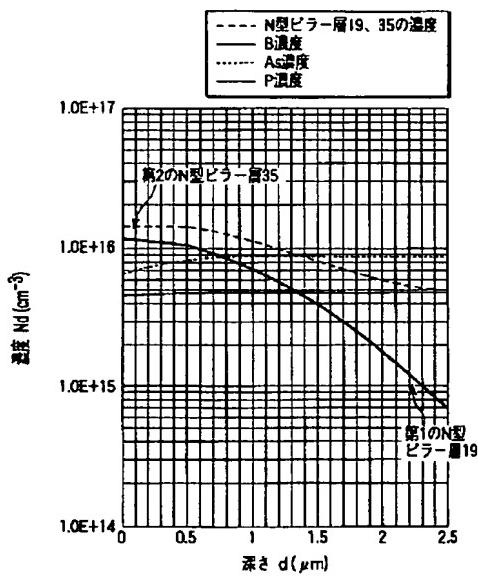
【図21】



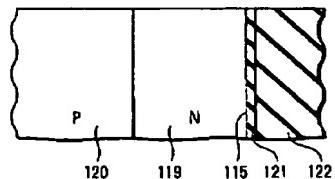
【図17】



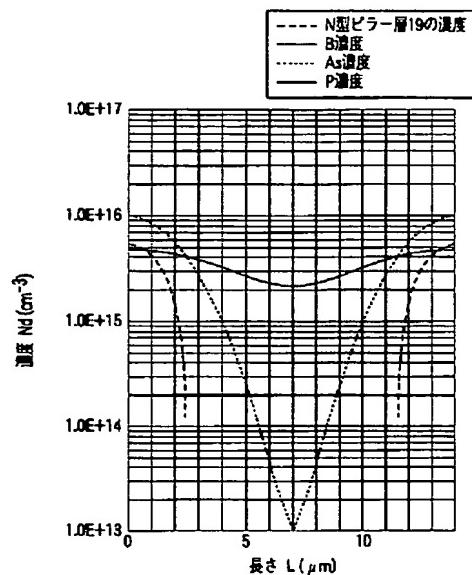
【図19】



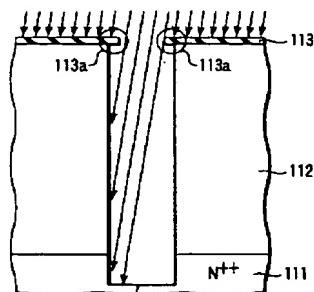
【図28】



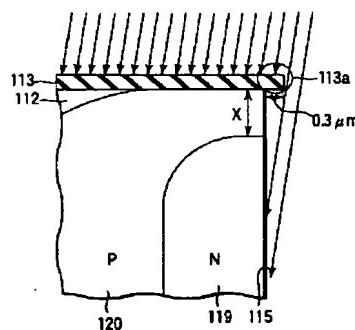
【図18】



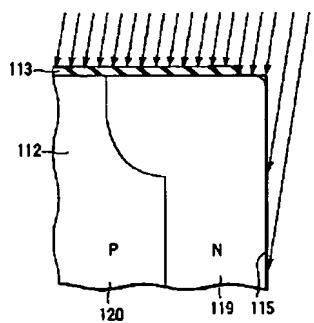
【図23】



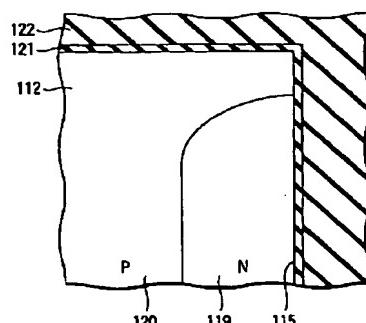
【図24】



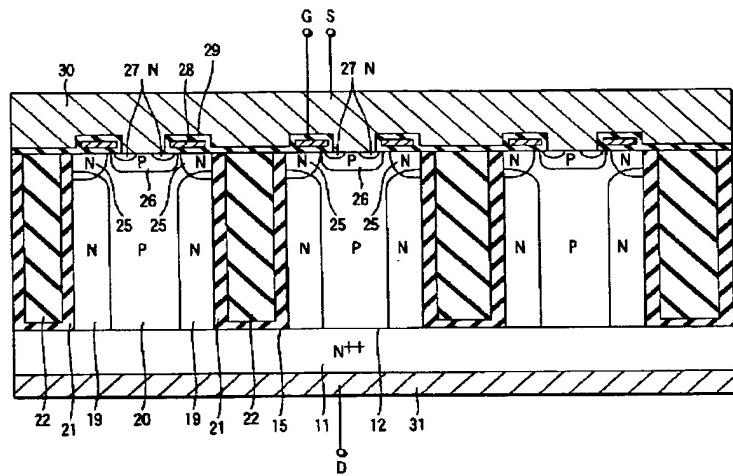
【図26】



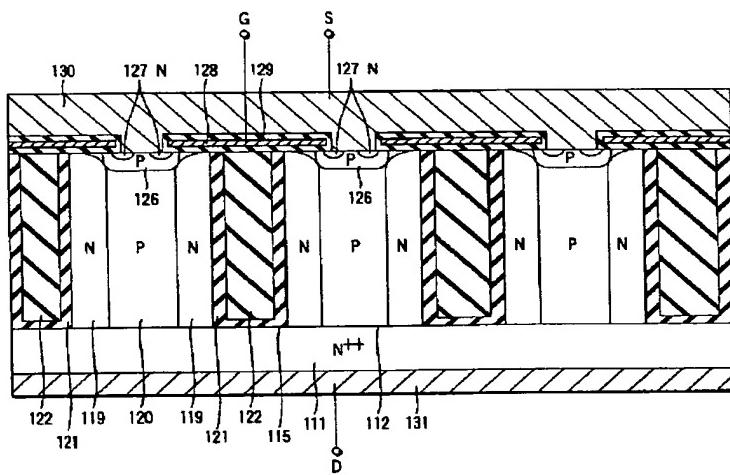
【図27】



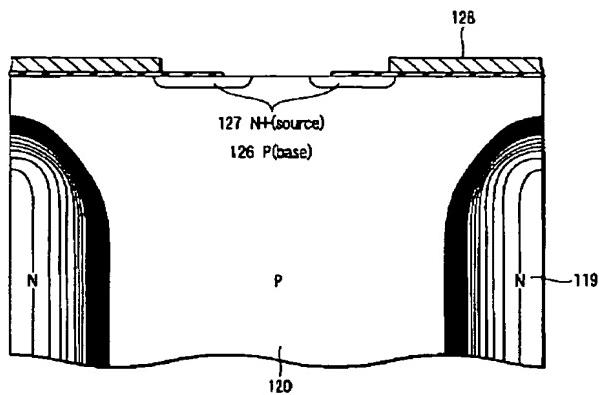
【図20】



【図22】



【図25】



フロントページの続き

(72)発明者 上月 繁雄

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 帆玉 信一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

THIS PAGE BLANK (USPTO)